



PROSSIMO

**martedì 18 febbraio 2020 | ore 10:00**  
**via Muroni 23/A, Sassari - Aula A**

## **ARCHITETTURE ETEROGENEE ON-CHIP RICONFIGURABILI: ANALISI, SVILUPPO E CARATTERIZZAZIONE DEL LORO COMPORTAMENTO CON SISTEMI DI MONITORING**

***Dott.ssa Tiziana Fanni***  
 Università di Sassari

***Dott. Carlo Sau***  
 Università di Cagliari

***Dott. Giacomo Valente***  
 Università dell'Aquila

### **Abstract**

Oggigiorno ai sistemi embedded si richiede la capacità di eseguire complesse applicazioni (come quelle sugli smartphone), rispettando al contempo forti vincoli non funzionali (ad esempio bassi consumi di energia, latenze contenute e garantite). Il soddisfacimento di questi requisiti conduce allo sviluppo di piattaforme contenenti parti dedicate all'esecuzione di determinate applicazioni, come ad esempio le applicazioni real-time e quelle a bassa potenza. Il risultato sono piattaforme altamente eterogenee, costituite da processori programmabili, spesso anche con differenti set di istruzioni, unitamente ad acceleratori non programmabili o limitatamente programmabili. L'esistenza di sistemi eterogenei rende eccezionalmente complessi lo sviluppo, il test ed il rilascio di componenti rispettando il "time-to-market", con conseguente aumento dei tempi di sviluppo.

In questo contesto, il corso propone lo sviluppo di acceleratori orientati all'uso all'interno di sistemi altamente eterogenei, in grado di eseguire in maniera efficiente, dal punto di vista prestazionale, algoritmi di image processing. Le piattaforme eterogenee prese in considerazione sono costituite da processori programmabili ed elementi riconfigurabili (FPGA, nello specifico), contenuti nello stesso chip, ed il tutto verrà condotto facendo uso del tool Multi-Dataflow (MDC) Composer. MDC offre un supporto alla generazione e gestione di acceleratori hardware riconfigurabili, andando a ridurre il tempo di sviluppo e la difficoltà di gestione di tali componenti.

Tutti gli acceleratori sviluppati durante il corso saranno implementati su FPGA e controllati tramite i processori. Al fine di fornire anche un valido supporto al testing, il corso prevede lo sviluppo di sistemi di monitoring in grado di compiere una verifica a runtime di determinati comportamenti, con il fine ultimo, per il sistema considerato durante il corso stesso, dell'indicazione di un fault all'interno degli acceleratori sviluppati.

Il corso si articolerà nel seguente modo:

- 3 ore dedicate allo sviluppo di acceleratori usando MDC;
- 2 ore dedicate allo sviluppo di diverse tipologie di monitor e inserimento di tali monitor all'interno ed attorno agli acceleratori;
- sessioni pratiche su piattaforma Digilent Zedboard distribuite all'interno delle 5 ore;

